

CONCORSO PUBBLICO, PER TITOLI ED ESAMI, PER LA COPERTURA DI N. 1 POSTO DI CATEGORIA D, POSIZIONE ECONOMICA D1, AREA TECNICA, TECNICO-SCIENTIFICA ED ELABORAZIONE DATI PER IL DIPARTIMENTO DI FISICA E SCIENZE DELLA TERRA PRESSO L'UNIVERSITÀ DI FERRARA

ELENCO DOMANDE PROVE ORALI

Domande - Lista A

1) Dire che cosa viene stampato a schermo all'esecuzione del seguente programma in C++:

```
#include<iostream>
using namespace std;

class Point {
private:
    int x;
    int y;
public:
    Point(int i, int j);
};

Point::Point(int i = 0, int j = 0) {
    x = i;
    y = j;
    cout << "Constructor called";
}

int main()
{
    Point t1, * t2;
    return 0;
}
```

2) Il candidato illustri come imposterebbe il progetto di una scheda elettronica basata su FPGA capace di acquisire N segnali analogici prodotti da un rivelatore multicanale installato in un esperimento di fisica delle alte energie.

Il segnale tipico prodotto da ciascun canale sia un impulso di corrente, di durata di circa 10ns e di carica totale tipica pari a circa $10^6 e^- = 0.16 \text{ pC}$. Il rate medio di impulsi canale sia di 10kHz.

La funzione della scheda sia di:

- convertire il segnale di carica in un segnale di tensione con un guadagno di circa 1V/pC e generare un impulso digitale ("hit") per segnali di con carica superiore a $2.5 \cdot 10^5 e^-$
- registrare il tempo di arrivo ("timestamp") di ciascun "hit" (definito come il numero (Unsigned 64) di periodi di CLOCK trascorsi dal RESET iniziale all'arrivo dell'hit) insieme all'ID del canale, formando un pacchetto ("hit record") di 12 Byte per ogni hit rilevato
- trasmettere gli hit records dalla scheda al PC di acquisizione, nella cui memoria di sistema i records diventeranno disponibili ad un programma di "on-line monitoring" della presa dati.

Il candidato scelga un metodo di trasferimento dati dalla scheda verso il PC e sulla base del throughput del metodo di trasmissione dati scelto provi a stimare il massimo numero di canali processabili dalla scheda.

Domande - Lista B

1) Dire quale sara' il risultato dell'esecuzione del seguente programma in C:

```
#include <stdio.h>
int main()
{
    int a = 5;
```

```

int b = 10;
{
    int a = 2;
    a++;
    b++;
}
printf("%d %d", a, b);
return 0;
}

```

2) Al candidato e' richiesto di impostare il progetto di una scheda elettronica di front end capace di acquisire i segnali analogici prodotti da un rivelatore di particelle ionizzanti installato in un esperimento di fisica delle alte energie.

Il segnale tipico prodotto da ciascun canale del rivelatore su un impedenza di 50Ω sia un impulso di tensione di durata di ampiezza tipica di 10mV. Il rate medio di impulsi sia di 50kHz per canale. Si supponga che la scheda riceva dall'esperimento un CLOCK a 40MHz ed un RESET di inizializzazione.

La scheda di front end, equipaggiata con FPGA, deve:

- amplificare ciascuno dei 256 segnali di ingresso in modo che il valore di picco dell'impulso amplificato superi il livello necessario ad essere "contato" dai pin di ingresso della FPGA, alimentati a 2.5V e operanti con livelli LVCMOS
- contare per ciascun canale il numero di impulsi ricevuti dall'ultimo RESET. Il range dei contatori sia di 32bit
- trasmettere periodicamente, tramite la FPGA, il valore immagazzinato in ciascun contatore verso il PC del sistema di acquisizione, nella cui memoria i dati saranno accessibili ad un programma di visualizzazione bidimensionale dei conteggi.

Il candidato scelga un sistema di trasmissione dati dalla scheda di front end al PC stimando, in base alla capacita' del sistema scelto, il rate massimo a cui l'immagine bidimensionale potra' essere aggiornata

Domande - Lista C

1) Dire che cosa verra' stampato come risultato dell'esecuzione del seguente programma in C++ e dire quale sarebbe l'effetto della rimozione della linea: "*using namespace std;*":

```

#include <iostream>
using namespace std;
int main()
{
    int n = 10;
    for (int i = 0; i < n; i++)
    {
        i++;
        cout << i << "\n";
    }
    return 1;
}

```

2) Il candidato abbozzi il progetto di una scheda che impieghi una FPGA per controllare la conversione analogica e l'elaborazione dei segnali prodotti da un rivelatore di particelle multicanale che produce, ad un rate medio di **R** eventi/s per canale, impulsi di tensione di ampiezza tipica di 10mV e durata pari ad un periodo del segnale di CLOCK di frequenza pari a 40MHz fornito dall'esperimento.

La scheda in oggetto fornita di 256 canali di ingresso deve:

- amplificare i segnali in modo da sfruttare al meglio il range dinamico di ingresso pari a 2.048V dei convertitori A/D e digitalizzare i segnali amplificati, ad una frequenza di campionamento pari a quella del segnale di CLOCK, mediante convertitori A/D ad 8bit
- operare sui dati di ciascun canale la "zero suppression", scartando i campioni sotto una soglia digitale programmabile e registrando solo i valori dei campioni sopra soglia ("hit"), l'indirizzo di canale e altre informazioni ausiliare fino ad

ottenere un pacchetto di 4Byte per hit per canale. La frequenza di questi pacchetti coincider, in assenza di rumore, con il rate medio di **R** eventi/s per canale

- trasmettere gli hit records dalla scheda al PC di acquisizione, nella cui memoria di sistema i records diventeranno disponibili ad un programma di rappresentazione bidimensionale della “hit-map”.

Il candidato scelga un metodo di trasferimento dati dalla scheda verso il PC e sulla base del throughput del metodo di trasmissione dati scelto provi a stimare il massimo valore del rate medio per canale, **R** eventi/s, processabile dalla scheda.

Domande - Lista D

1) Dire quale sia il risultato dell'esecuzione del seguente script in Python in cui si definisce ed utilizza l'oggetto *dict* di tipo “dictionary”:

```
str='hello'  
dict={'h':1,'e':2,'l':3}  
val=0  
for key in str:  
    if dict.get(key) != None :  
        val=val+dict.get(key)  
    print (val)
```

2) Al candidato e' richiesto di impostare il progetto di una scheda elettronica “concentratore” avente il compito di:

- ricevere, attraverso ciascuno dei suoi **N** link seriali di ingresso, un flusso medio di dati per canale pari a 80kB/s

- trasmettere l'insieme dei dati ricevuti tramite gli **N** ingressi al PC del sistema di acquisizione, nella cui memoria i dati saranno accessibili ad un programma di “on-line monitoring” del flusso di dati

Il candidato scelga un metodo di trasferimento dati dalla scheda verso il PC e, sulla base del throughput del metodo di trasmissione dati scelto, provi a stimare il massimo numero di ingressi **N** processabili dal “concentratore”.

Prova orale di conoscenza della lingua inglese

Lista A

Tradurre la parte evidenziata:

LTC1666/LTC1667/LTC1668

12-Bit, 14-Bit, 16-Bit,
50MSPS DACs

DESCRIPTION

The LTC[®]1666/LTC1667/LTC1668 are 12-/14-/16-bit, 50MSPS differential current output DACs implemented on a high performance BiCMOS process with laser trimmed, thin-film resistors. The combination of a novel current-steering architecture and a high performance process produces DACs with exceptional AC and DC performance.

The LTC1668 is the first 16-bit DAC in the marketplace to exhibit an SFDR (spurious free dynamic range) of 87dB for an output signal frequency of 1MHz.

Operating from $\pm 5V$ supplies, the LTC1666/LTC1667/LTC1668 can be configured to provide full-scale output currents up to 10mA. The differential current outputs of the DACs allow single-ended or true differential operation. The $-1V$ to $1V$ output compliance of the LTC1666/LTC1667/LTC1668 allows the outputs to be connected directly to external resistors to produce a differential output voltage without degrading the converter's linearity. Alternatively, the outputs can be connected to the summing junction of a high speed operational amplifier, or to a transformer.

The LTC1666/LTC1667/LTC1668 are pin compatible and are available in a 28-pin SSOP and are fully specified over the industrial temperature range.

 LTC and LT are registered trademarks of Linear Technology Corporation.

Prova orale di conoscenza della lingua inglese

Lista B

Tradurre la parte evidenziata:

LTC1666/LTC1667/LTC1668

12-Bit, 14-Bit, 16-Bit,
50Msps DACs

DESCRIPTION

The LTC[®]1666/LTC1667/LTC1668 are 12-/14-/16-bit, 50Msps differential current output DACs implemented on a high performance BiCMOS process with laser trimmed, thin-film resistors. The combination of a novel current-steering architecture and a high performance process produces DACs with exceptional AC and DC performance. The LTC1668 is the first 16-bit DAC in the marketplace to exhibit an SFDR (spurious free dynamic range) of 87dB for an output signal frequency of 1MHz.

Operating from $\pm 5V$ supplies, the LTC1666/LTC1667/LTC1668 can be configured to provide full-scale output currents up to 10mA. The differential current outputs of the DACs allow single-ended or true differential operation. The $-1V$ to $1V$ output compliance of the LTC1666/LTC1667/LTC1668 allows the outputs to be connected directly to external resistors to produce a differential output voltage without degrading the converter's linearity. Alternatively, the outputs can be connected to the summing junction of a high speed operational amplifier, or to a transformer.

The LTC1666/LTC1667/LTC1668 are pin compatible and are available in a 28-pin SSOP and are fully specified over the industrial temperature range.

LT, LTC and LT are registered trademarks of Linear Technology Corporation.



Prova orale di conoscenza della lingua inglese
Lista C

Tradurre la parte evidenziata:

LTC2991

Octal I²C Voltage, Current, and Temperature Monitor

DESCRIPTION

The LTC[®]2991 is used to monitor system temperatures, voltages and currents. Through the I²C serial interface, the eight monitors can individually measure supply voltages and can be paired for differential measurements of current sense resistors or temperature sensing transistors. Additional measurements include internal temperature and internal V_{CC}. The internal 10ppm reference minimizes the number of supporting components and area required. Selectable address and configurable functionality give the LTC2991 flexibility to be incorporated in various systems needing temperature, voltage or current data. The LTC2991 fits well in systems needing submillivolt voltage resolution, 1% current measurement and 1°C temperature accuracy or any combination of the three.

LT, LTC, LTM, Linear Technology and the Linear logo are registered trademarks and Easy Drive is a trademark of Linear Technology Corporation. All other trademarks are the property of their respective owners.



Prova orale di conoscenza della lingua inglese

Lista D

Tradurre la parte evidenziata:

24-Bit, 40kHz ANALOG-TO-DIGITAL CONVERTER

FEATURES

- **24 BITS—NO MISSING CODES**
- **19 BITS EFFECTIVE RESOLUTION UP TO 40kHz DATA RATE**
- **LOW NOISE: 2.5ppm**
- **DIFFERENTIAL INPUTS**
- **INL: 0.0015% (max)**
- **EXTERNAL REFERENCE (0.5V to 5V)**
- **POWER-DOWN MODE**
- **SYNC MODE**

APPLICATIONS

- **CARDIAC DIAGNOSTICS**
- **DIRECT THERMOCOUPLE INTERFACES**
- **BLOOD ANALYSIS**
- **INFRARED PYROMETERS**
- **LIQUID/GAS CHROMATOGRAPHY**
- **PRECISION PROCESS CONTROL**

DESCRIPTION

The ADS1252 is a precision, wide dynamic range, delta-sigma, Analog-to-Digital (A/D) converter with 24-bit resolution operating from a single +5V supply. The delta-sigma architecture is used for wide dynamic range and to ensure 24 bits of no missing code performance. An effective resolution of 19 bits (2.5ppm of rms noise) is achieved for conversion rates up to 40kHz.

The ADS1252 is designed for high-resolution measurement applications in cardiac diagnostics, smart transmitters, industrial process control, weight scales, chromatography, and portable instrumentation. The converter includes a flexible, 2-wire synchronous serial interface for low-cost isolation.

The ADS1252 is a single-channel converter and is offered in an SO-8 package.

Ferrara, 20 luglio 2020

**IL PRESIDENTE DELLA COMMISSIONE
Prof.ssa Eleonora LUPPI**
